

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-330468

(43)Date of publication of application : 30.11.1999

(51)Int.Cl.

H01L 29/78
H01L 21/316
H01L 21/8234
H01L 27/088

(21)Application number : 10-138939

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.05.1998

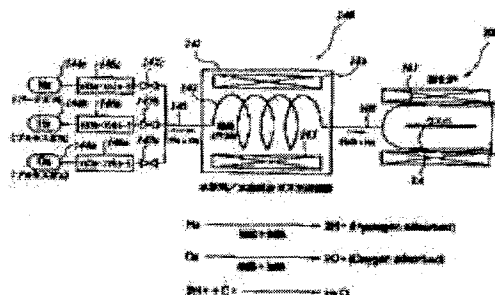
(72)Inventor : TANABE YOSHIKAZU
YAMAMOTO NAOKI
MITANI SHINICHIRO
HANAOKA HIROKO

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a light oxidation treatment technique for suppressing the oxidation of a high-melting point metal film for constituting one portion of a gate electrode and the diffusion of boron in a p-type polycrystalline silicon film for constituting the other portion of the gate electrode in a CMOSLSI that adopts a polymetallic gate structure and dual gate structure.

SOLUTION: The heat treatment for improving the profile of a gate insulation film below the end part of a gate electrode, that is removed by etching by supplying a mixed gas containing hydrogen gas and steam which is synthesized from oxygen gas and the hydrogen gas using a catalyst onto the main surface of a semiconductor wafer 1A, is made under low thermal load conditions where a high-melting point metal film for constituting one section of the gate electrode is essentially not oxidized, and boron in a p-type polycrystalline silicon film for constituting the other portion of the gate electrode is subjected to oxidization under low temperature load conditions where there is no diffusion into a substrate through the gate oxide film.



特開平11-330468

(43)公開日 平成11年(1999)11月30日

(51) Int.Cl.⁸

識別記号

FI

H O I L 29/78
21/316
21/8234
27/088

H O 1 L	29/78	3 0 1 G
	21/316	S
	27/08	1 0 2 C

審査請求 未請求 請求項の数20 OL (全 20 頁)

(21)出願番号 特願平10-138939

(22)出願日 平成10年(1998)5月20日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 田辺 義和

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72)発明者 山本 直樹

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 三谷 真一郎

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(74)代理人 弁理士 筒井 大和

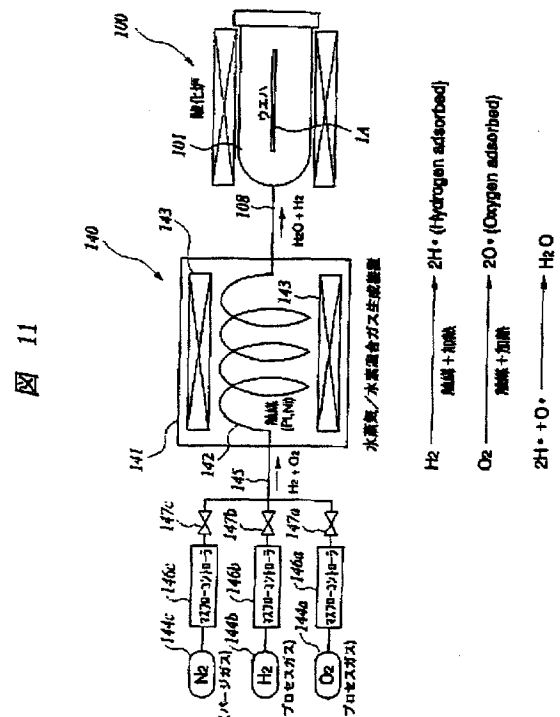
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法および半導体集積回路装置

(57) 【要約】

【課題】 ポリメタルゲート構造とデュアルゲート構造とを採用するCMOSLSIにおいて、ゲート電極の一部を構成する高融点金属膜の酸化と、ゲート電極の他の一部を構成するp型多結晶シリコン膜中のホウ素の拡散とを共に抑制することのできるライト酸化処理技術を提供する。

【解決手段】 水素ガスおよび酸素ガスと水素ガスとから触媒により合成された水蒸気を含む混合ガスを半導体ウエハ1 Aの主面に供給し、エッチングによって削られたゲート電極の端部下のゲート絶縁膜のプロファイルを改善する熱処理を、ゲート電極の一部を構成する高融点金属膜が実質的に酸化されず、かつゲート電極の他の一部を構成するp型多結晶シリコン膜中のホウ素がゲート酸化膜を通して基板に拡散しない低熱負荷条件下で行う。



【特許請求の範囲】

【請求項 1】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーピングされた多結晶シリコン膜を形成する工程、(b) 前記多結晶シリコン膜上に、直接またはバリア層を介してタンガステンを主成分とする高融点金属膜を形成する工程、(c) 前記多結晶シリコン膜および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、(d) 前記工程 (c) の後、水素ガスおよび水蒸気を含む混合ガス雰囲気下で前記ゲート電極の端部に対応する部分の前記シリコン表面および前記多結晶シリコン膜を熱酸化処理する工程。

【請求項 2】 請求項 1 記載の半導体集積回路装置の製造方法であって、前記バリア層は、窒化タンガステン膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 3】 請求項 2 記載の半導体集積回路装置の製造方法であって、前記工程 (d) の熱酸化処理は、前記高融点金属膜および前記バリア層を実質的に酸化しない条件下で行うことを特徴とする半導体集積回路装置の製造方法。

【請求項 4】 請求項 1 記載の半導体集積回路装置の製造方法であって、前記ゲート絶縁膜は、酸窒化シリコン膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 5】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーピングされた多結晶シリコン膜を形成する工程、(b) 前記多結晶シリコン膜上に、直接またはバリア層を介して高融点金属膜を形成する工程、(c) 前記多結晶シリコン膜および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、(d) 前記工程 (c) の後、水素ガスおよび水蒸気を含む混合ガス雰囲気下で前記ゲート電極の端部に対応する部分の前記シリコン表面および前記多結晶シリコン膜を熱酸化処理する工程。

【請求項 6】 請求項 5 記載の半導体集積回路装置の製造方法であって、前記多結晶シリコン膜と前記高融点金属膜との間に前記バリア層を介在させることを特徴とする半導体集積回路装置の製造方法。

【請求項 7】 請求項 6 記載の半導体集積回路装置の製造方法であって、前記工程 (d) の熱酸化処理は、前記高融点金属膜および前記バリア層を実質的に酸化しない条件下で行うことを特徴とする半導体集積回路装置の製造方法。

【請求項 8】 以下の工程を含むことを特徴とする半導

体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーピングされた多結晶シリコン膜を主成分とする第 1 導電膜を形成する工程、(b) 前記第 1 導電膜上に、直接またはバリア層を介して高融点金属膜を形成する工程、(c) 前記第 1 導電膜および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、(d) 前記工程 (c) の後、水素ガスおよび酸素ガスと水素ガスとから触媒により合成された水蒸気を含む混合ガス雰囲気下で前記ゲート電極の端部に対応する部分の前記シリコン表面および前記多結晶シリコン膜を熱酸化処理する工程。

【請求項 9】 請求項 8 記載の半導体集積回路装置の製造方法であって、前記工程 (d) の熱酸化処理は、前記高融点金属膜を実質的に酸化しない条件下で行うことを特徴とする半導体集積回路装置の製造方法。

【請求項 10】 以下の工程を含むことを特徴とするデュアルゲート CMOS を有する半導体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーピングされた多結晶シリコン膜を形成する工程、(b) 前記多結晶シリコン膜上に、窒化タンガステン膜を含むバリア層を介してタンガステンを主成分とする高融点金属膜を形成する工程、(c) 前記多結晶シリコン膜、前記バリア層および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、(d) 前記工程 (c) の後、水素ガスおよび水蒸気を含む混合ガス雰囲気下で、前記ゲート電極の端部に対応する部分の前記シリコン表面および前記多結晶シリコン膜を、前記高融点金属膜を実質的に酸化しないように熱酸化処理する工程。

【請求項 11】 以下の工程を含むことを特徴とするデュアルゲート CMOS を有する半導体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーピングされた多結晶シリコン膜を形成する工程、(b) 前記多結晶シリコン膜上に、窒化タンガステン膜を含むバリア層を介してタンガステンを主成分とする高融点金属膜を形成する工程、(c) 前記多結晶シリコン膜、前記バリア層および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、(d) 前記工程 (c) の後、シリコンおよび多結晶シリコンに対して酸化性および還元性を有する混合ガス雰囲気下で、前記高融点金属膜を実質的に酸化しないように、前記シリコン表面および前記多結晶シリコン膜を熱酸化処理する工程。

【請求項 12】 以下の工程を含むことを特徴とするデ

デュアルゲートCMOSを有する半導体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーピングされた多結晶シリコン膜を形成する工程、(b) 前記多結晶シリコン膜上に、直接またはバリア層を介してタングステンを主成分とする高融点金属膜を形成する工程、(c) 前記多結晶シリコン膜および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、(d) 前記工程(c)の後、シリコンおよび多結晶シリコンに対して酸化性および還元性を有する混合ガス雰囲気下で、前記高融点金属膜を実質的に酸化しないように、前記シリコン表面および前記多結晶シリコン膜を熱酸化処理する工程。

【請求項13】 以下の工程を含むことを特徴とするデュアルゲートCMOSを有する半導体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーピングされた多結晶シリコン膜を形成する工程、(b) 前記多結晶シリコン膜上に、窒化タングステン膜を含むバリア層を介してタングステンを主成分とする高融点金属膜を形成する工程、(c) 前記多結晶シリコン膜、前記バリア層および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、(d) 前記工程(c)の後、水素ガスおよび水蒸気を含む混合ガス雰囲気下で、前記高融点金属膜を実質的に酸化しないように、前記ゲート電極の端部に対応する部分の前記シリコン表面および前記多結晶シリコン膜を熱酸化処理することによって、前記工程(c)のパターニングの際にエッチングされた前記ゲート電極の端部下の前記酸化シリコン膜を補填する工程。

【請求項14】 以下の工程を含むことを特徴とするデュアルゲートCMOSを有する半導体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーピングされた多結晶シリコン膜を形成する工程、(b) 前記多結晶シリコン膜上に、窒化タングステン膜を含むバリア層を介してタングステンを主成分とする高融点金属膜を形成する工程、(c) 前記多結晶シリコン膜、前記バリア層および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、(d) 前記工程(c)の後、水素ガスおよび酸素ガスと水素ガスとから触媒により合成された水蒸気を含む混合ガス雰囲気下で、前記高融点金属膜を実質的に酸化しないように、前記ゲート電極の端部に対応する部分の前記シリコン表面および前記多結晶シリコン膜を熱酸化処理することによって、前記工程(c)のパターニングの際にエッチングされた前記ゲート電極の端部下の前記酸化シリコン膜を

補填する工程。

【請求項15】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーピングされた多結晶シリコン膜を形成する工程、(b) 前記多結晶シリコン膜上に、直接またはバリア層を介してタングステンを主成分とする高融点金属膜を形成する工程、(c) 前記多結晶シリコン膜および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、(d) 前記工程(c)の後、水素ガスおよび酸素ガスと水素ガスとから触媒により合成された水蒸気を含む混合ガス雰囲気下で、前記ゲート電極の端部に対応する部分の前記シリコン表面および前記多結晶シリコン膜を熱酸化処理する工程。

【請求項16】 半導体集積回路ウエハの第1の主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーピングされた多結晶シリコン膜と、前記多結晶シリコン膜上に直接またはバリア層を介して積層された高融点金属膜とで構成されるゲート電極が形成されたデュアルゲートCMOSを有する半導体集積回路装置であって、前記ゲート絶縁膜は、前記ゲート電極の一部を構成する前記多結晶シリコン膜の端部を越えて形成された熱酸化膜を含むことを特徴とする半導体集積回路装置。

【請求項17】 半導体集積回路ウエハの第1の主面のシリコン表面に形成された熱酸化膜を含むゲート絶縁膜上に、ホウ素がドーピングされた多結晶シリコン膜と、前記多結晶シリコン膜上に直接またはバリア層を介して積層された高融点金属膜とで構成されるゲート電極が形成されたデュアルゲートCMOSを有する半導体集積回路装置であって、前記ゲート絶縁膜のうち、前記ゲート電極の端部下に形成された前記熱酸化膜の膜厚は、前記ゲート電極の中央部下に形成された前記熱酸化膜の膜厚よりも大きいことを特徴とする半導体集積回路装置。

【請求項18】 半導体集積回路ウエハの第1の主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーピングされた多結晶シリコン膜と、前記多結晶シリコン膜上に直接またはバリア層を介して積層された高融点金属膜とで構成されるゲート電極が形成されたデュアルゲートCMOSを有する半導体集積回路装置であって、前記ゲート電極の端部下に形成された前記酸化シリコン膜は、電界集中を防止する程度に丸みを帯びた形状を有していることを特徴とする半導体集積回路装置。

【請求項19】 半導体集積回路ウエハの第1の主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーピングされた多結晶シリコン膜と、前記多結晶シリコン膜上に直接またはバリア層を介して積層された高融点金属膜とで構成されるゲート電極

10

20

30

40

50

が形成されたデュアルゲートCMOSを有する半導体集積回路装置であって、前記ゲート電極の一部を構成する前記多結晶シリコン膜の端部および下面は、熱酸化膜で覆われていることを特徴とする半導体集積回路装置。

【請求項20】 請求項19記載の半導体集積回路装置であって、前記ゲート絶縁膜は、酸化シリコン膜を含むことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、ホウ素（B）を含んだ多結晶シリコンと高融点金属との積層膜でゲート電極を構成したポリメタル構造のMOSFET(Metal Oxide Semiconductor Field Effect Transistor)を有する半導体集積回路装置の製造に適用して有効な技術に関する。

【0002】

【従来の技術】特開昭59-132136号公報は、Si（シリコン）基板上にW膜またはMo膜を含むポリメタル構造のゲート電極を形成した後、水蒸気と水素の混合雰囲気中でライト酸化を行うことによって、W（Mo）膜を酸化することなしにSiのみを選択的に酸化する技術を開示している。これは、酸化還元反応が平衡となる水蒸気/水素分圧比がW（Mo）とSiとで異なる性質を利用したもので、この分圧比を、W（Mo）は水蒸気によって酸化されても共存する水素によって速やかに還元されるが、Siは酸化されたまま残るような範囲内に設定することでSiの選択的酸化を実現している。また、水蒸気と水素の混合雰囲気は、容器に入れた純水中に水素ガスを供給するバブリング方式によって生成し、水蒸気/水素分圧比は、純水の温度を変えることによって制御している。

【0003】特開平7-94716号公報は、Si基板上にゲート酸化膜を介してTiNなどの窒化金属層とWなどの金属層とを含むポリメタル構造のゲート電極を形成した後、還元性気体（水素）と酸化性気体（水蒸気）とを窒素で希釈した雰囲気中でライト酸化を行う技術を開示している。これらの公報によれば、金属層を酸化することなしにSiのみを選択的に酸化できると共に、水蒸気/水素混合ガスを窒素で希釈することによって、窒化金属層からの脱窒素反応が阻止されるので、窒化金属層の酸化も同時に防止できるとされている。

【0004】1992年12月1日および2日に行われた半導体集積回路技術第45回シンポジウム公演論文集p128～p133には、ステンレス触媒により合成された水蒸気を含む強還元性雰囲気下における酸化膜形成技術が開示されている。

【0005】

【発明が解決しようとする課題】ゲート長が0.18μm以下の微細なMOSFETで回路を構成するCMOSLSIは、低電圧動作時においてもゲート遅延を低減し

て高速動作を確保するために、金属層を含む低抵抗導電材料を使ったゲート加工プロセスが採用されるものと考えられる。

【0006】この種の低抵抗ゲート電極材料として有力視されているのは、多結晶シリコン膜の上に高融点金属膜を積層した、いわゆるポリメタルである。ポリメタルは、そのシート抵抗が2Ω/□程度と低いことから、ゲート電極材料としてのみならず配線材料として利用することもできる。高融点金属としては、800℃以下の低温プロセスでも良好な低抵抗性を示し、かつエレクトロマイグレーション耐性の高いW（タングステン）、Mo（モリブデン）、Ti（チタン）などが使用される。なお、多結晶シリコン膜の上に直接これらの高融点金属膜を積層すると両者の接着力が低下したり、高温熱処理プロセスで両者の界面に高抵抗のシリサイド層が形成されたりするため、実際のポリメタルゲートは、多結晶シリコン膜と高融点金属膜との間にTiN（チタンナイトライド）やWN（タングステンナイトライド）などの金属窒化膜からなるバリア層を介在させた3層構造で構成される。

【0007】従来のゲート加工プロセスの概略は、次の通りである。まず、半導体基板を熱酸化してその表面にゲート酸化膜を形成する。一般に、熱酸化膜の形成は乾燥酸素雰囲気中で行われるが、ゲート酸化膜を形成する場合には膜中の欠陥密度が低減できるという理由から、ウェット酸化法が用いられる。ウェット酸化法では、酸素雰囲気中で水素を燃焼させて水を生成し、この水を酸素と共に半導体ウエハの表面に供給するパイロジェニック方式が利用されている。

【0008】しかし、パイロジェニック方式は、石英製の水素ガス導入管の先端に取り付けたノズルから噴出する水素に点火して燃焼を行うことから、その熱でノズルが溶けてパーティクルが発生し、これが半導体ウエハの汚染源となる虞れがあるために、燃焼を伴わない触媒方式によって水を生成する方法も提案されている（例えば特開平5-152282号公報など）。

【0009】次に、上記のようなウェット酸化法で形成したゲート酸化膜上にゲート電極材料を堆積した後、フォトリソストをマスクにしたドライエッチングでこのゲート電極材料をパターニングする。その後、フォトリソストをアッシング（灰化）処理で除去し、さらにフッ酸などのエッチング液を使って、基板表面に残ったドライエッチング残渣やアッシング残渣を除去する。

【0010】上記のウェットエッチングを行うと、ゲート電極の下部以外の領域のゲート酸化膜が削られると同時に、ゲート電極の側壁端部のゲート酸化膜も等方的にエッチングされてアンダーカットが生じる。そのため、そのままではゲート電極の耐圧が低下するなどの不具合が生じることから、アンダーカットされたゲート電極側壁端部のプロファイルを改善するために、基板をもう一

度熱酸化してその表面に酸化膜を形成する処理（以下、ライト酸化処理という）が行なわれる。

【0011】ところが、前述したWやMoなどの高融点金属は、高温酸素雰囲気中では非常に酸化され易い材料であるために、ポリメタル構造のゲート電極に上記のライト酸化処理を適用すると、高融点金属膜が酸化されてその抵抗値が増加したり、その一部が基板から剥離したりする。そのため、ポリメタルを使用するゲート加工プロセスでは、ライト酸化処理時に高融点金属膜が酸化されるのを防止する対策が必要となる。

【0012】上記のように、ポリメタル構造のゲート電極を形成するプロセスでは、所定の分圧比を有する水蒸気／水素混合ガス中でライト酸化を行うことが、ゲート酸化膜の耐圧改善と金属膜の酸化防止を図る有効な手段となる。

【0013】しかし、水蒸気／水素混合ガスを生成する方法として提案されている従来のバブリング方式は、容器内に汲み置いた純水中に水素ガスを供給して水蒸気／水素混合ガスを生成するため、この純水中に混入した異物が水蒸気／水素混合ガスと共に酸化炉に送られて半導体ウエハを汚染する虞れがある。

【0014】また、バブリング方式では、純水の温度を変えることによって水蒸気／水素分圧比を制御するので、（１）分圧比が変動し易く、最適の分圧比を精度良く実現することが困難である。（２）水蒸気濃度の制御範囲が数％～十数％程度と狭く、ppm オーダの水蒸気濃度を実現することが困難である、といった問題がある。

【0015】後述するように、水蒸気／水素混合ガスを使ったSiや金属の酸化還元反応は、水蒸気濃度が高いほど酸化反応が進み易い。そのため、バブリング方式で生成した水蒸気／水素混合ガスのように、比較的高い水蒸気濃度下でSiを酸化すると、酸化速度が大きいために極めて短時間で酸化膜が成長してしまう。しかし、ゲート長が $0.18\mu\text{m}$ 以下の微細なMOSFETは、素子の電気特性を維持するためにゲート酸化膜を 3.5nm 以下の極めて薄い膜厚で形成することが要求される。従って、バブリング方式で生成した蒸気／水素混合気体を使用したのでは、このような極薄のゲート酸化膜を均一に制御性良く形成することは困難である。また、酸化膜の成長速度を下げるために低温で酸化を行うと、品質の

良いゲート酸化膜が得られない。

【0016】さらに、ゲート長が $0.18\mu\text{m}$ 以下の微細なMOSFETで回路を構成するCMOS LSIは、低電圧動作化によるしきい値電圧（ V_{th} ）の変動を極力抑えるために、nチャネル型MISFETのゲート電極を構成する多結晶シリコン膜の導電型をn型とし、pチャネル型MISFETのゲート電極を構成する多結晶シリコン膜の導電型をp型とする、いわゆるデュアルゲート（Dual Gate）構造の採用が有利になると考えられる。そのため、ゲート電極を前述したポリメタルで構成

する場合、nチャネル型MISFETのゲート電極は、P（リン）などのn型不純物をドーブしたn型多結晶シリコン膜の上に高融点金属膜が積層された構造となり、pチャネル型MISFETのゲート電極は、p型不純物であるB（ホウ素）をドーブしたp型多結晶シリコン膜の上に高融点金属膜が積層された構造となる。

【0017】ところが、p型不純物であるB（ホウ素）は拡散係数が大きいため、デュアルゲート構造を採用したCMOSに上記のライト酸化処理を適用した場合には、pチャネル型MISFETのゲート電極の一部を構成するp型多結晶シリコン膜中のB（ホウ素）が膜厚 3.5nm 以下の極めて薄いゲート酸化膜を通して基板側に拡散し、pチャネル型MISFETのしきい値電圧（ V_{th} ）を変動させてしまうという問題が生じる。

【0018】そのため、ポリメタルゲート構造とデュアルゲート構造とを採用するCMOS LSIにおいては、ゲート加工後のライト酸化処理時に高融点金属の酸化とB（ホウ素）の基板への拡散とを共に抑制することのできる技術を確立することが重要な課題となる。

【0019】本発明の目的は、ポリメタルゲート構造とデュアルゲート構造とを採用するCMOS LSIにおいて、ゲート電極の一部を構成する高融点金属膜の酸化と、ゲート電極の他の一部を構成するp型多結晶シリコン膜中のホウ素の拡散とを共に抑制することのできるライト酸化処理技術を提供することにある。

【0020】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0021】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0022】本発明の半導体集積回路装置の製造方法は、半導体基板の主面に形成したゲート酸化膜上にホウ素を含んだ多結晶シリコン膜と高融点金属膜とが直接またはバリア層を介して積層されてなる導電膜を形成した後、前記導電膜をパターニングしてMOSFETのゲート電極を形成する工程と、水素ガスおよび酸素ガスと水素ガスとから触媒により合成された水蒸気を含む混合ガスを所定の温度に加熱された前記半導体基板の主面またはその近傍に供給し、前記半導体基板の主面を選択的に酸化することによって、前記パターニングの際にエッチングされた前記ゲート電極の端部下の前記ゲート絶縁膜のプロファイルを改善する熱処理工程とを含み、前記熱処理は、前記高融点金属膜が実質的に酸化されず、かつ前記ゲート電極の一部を構成する前記多結晶シリコン膜中のホウ素が前記ゲート酸化膜を通して前記半導体基板に拡散しない低熱負荷条件下で行うものである。

【0023】上記した発明以外の本願発明の概要を簡単に項分けして記載すれば、以下の通りである。すなわ

10

20

30

40

50

ち、

1. 以下の工程を含む半導体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜を形成する工程（本願においては、後述するようにノンドーパ多結晶シリコン膜を被着した後、イオン打ち込みなどでホウ素をドーパすることを含むものとする。すなわち、ホウ素のドーパの前後は問わない。また、多結晶シリコン膜の被着とホウ素のドーパとを同時に行う場合も含まれる。以下同じ）、

(b) 前記多結晶シリコン膜上に、直接またはバリア層を介してタングステン膜を主成分とする高融点金属膜を形成する工程、(c) 前記多結晶シリコン膜および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、(d) 前記工程(c)の後、水素ガスおよび水蒸気を含む混合ガス雰囲気下で前記ゲート電極の端部に対応する部分の前記シリコン表面および前記多結晶シリコン膜を熱酸化処理する工程。

【0024】2. 前記1において、前記バリア層は、窒化タングステン膜を含む半導体集積回路装置の製造方法。

【0025】3. 前記2において、前記工程(d)の熱酸化処理は、前記高融点金属膜および前記バリア層を実質的に酸化しない条件下で行う半導体集積回路装置の製造方法。

【0026】4. 前記1において、前記ゲート絶縁膜は、酸化シリコン膜を含む半導体集積回路装置の製造方法。

【0027】5. 以下の工程を含む半導体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜を形成する工程、(b) 前記多結晶シリコン膜上に、直接またはバリア層を介して高融点金属膜を形成する工程、(c) 前記多結晶シリコン膜および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、(d) 前記工程

(c)の後、水素ガスおよび水蒸気を含む混合ガス雰囲気下で前記ゲート電極の端部に対応する部分の前記シリコン表面および前記多結晶シリコン膜を熱酸化処理する工程。

【0028】6. 前記5において、前記多結晶シリコン膜と前記高融点金属膜との間に前記バリア層を介在させる半導体集積回路装置の製造方法。

【0029】7. 前記6において、前記工程(d)の熱酸化処理は、前記高融点金属膜および前記バリア層を実質的に酸化しない条件下で行う半導体集積回路装置の製造方法。

【0030】8. 以下の工程を含む半導体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜を主成分とする第1導電膜を形成する工程、(b) 前記第1導電膜上に、直接またはバリア層を介して高融点金属膜を形成する工程、(c) 前記第1導電膜および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、(d) 前記工程(c)の後、水素ガスおよび酸素ガスと水素ガスとから触媒により合成された水蒸気を含む混合ガス雰囲気下で前記ゲート電極の端部に対応する部分の前記シリコン表面および前記多結晶シリコン膜を熱酸化処理する工程。

【0031】9. 前記8において、前記工程(d)の熱酸化処理は、前記高融点金属膜を実質的に酸化しない条件下で行う半導体集積回路装置の製造方法。

【0032】10. 以下の工程を含むデュアルゲートCMOSを有する半導体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜を形成する工程、(b) 前記多結晶シリコン膜上に、窒化タングステン膜を含むバリア層を介してタングステン膜を主成分とする高融点金属膜を形成する工程、(c) 前記多結晶シリコン膜、前記バリア層および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、(d) 前記工程(c)の後、水素ガスおよび水蒸気を含む混合ガス雰囲気下で、前記ゲート電極の端部に対応する部分の前記シリコン表面および前記多結晶シリコン膜を、前記高融点金属膜を実質的に酸化しないように熱酸化処理する工程。

【0033】11. 以下の工程を含むデュアルゲートCMOSを有する半導体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜を形成する工程、(b) 前記多結晶シリコン膜上に、窒化タングステン膜を含むバリア層を介してタングステンを主成分とする高融点金属膜を形成する工程、(c) 前記多結晶シリコン膜、前記バリア層および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、(d) 前記工程(c)の後、シリコンおよび多結晶シリコンに対して酸化性および還元性を有する混合ガス雰囲気下で、前記高融点金属膜を実質的に酸化しないように、前記シリコン表面および前記多結晶シリコン膜を熱酸化処理する工程。

【0034】12. 以下の工程を含むデュアルゲートCMOSを有する半導体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜を形成する工程、(b) 前記

多結晶シリコン膜上に、直接またはバリア層を介してタングステンを主成分とする高融点金属膜を形成する工程、(c) 前記多結晶シリコン膜および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、(d) 前記工程(c)の後、シリコンおよび多結晶シリコンに対して酸化性および還元性を有する混合ガス雰囲気下で、前記高融点金属膜を実質的に酸化しないように、前記シリコン表面および前記多結晶シリコン膜を熱酸化処理する工程。

【0035】13. 以下の工程を含むデュアルゲートCMOSを有する半導体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜を形成する工程、(b) 前記多結晶シリコン膜上に、窒化タングステン膜を含むバリア層を介してタングステンを主成分とする高融点金属膜を形成する工程、(c) 前記多結晶シリコン膜、前記バリア層および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、(d) 前記工程(c)の後、水素ガスおよび水蒸気を含む混合ガス雰囲気下で、前記高融点金属膜を実質的に酸化しないように、前記ゲート電極の端部に対応する部分の前記シリコン表面および前記多結晶シリコン膜を熱酸化処理することによって、前記工程(c)のパターニングの際にエッチングされた前記ゲート電極の端部下の前記酸化シリコン膜を補填する工程。

【0036】14. 以下の工程を含むデュアルゲートCMOSを有する半導体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜を形成する工程、(b) 前記多結晶シリコン膜上に、窒化タングステン膜を含むバリア層を介してタングステンを主成分とする高融点金属膜を形成する工程、(c) 前記多結晶シリコン膜、前記バリア層および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、(d) 前記工程(c)の後、水素ガスおよび酸素ガスと水素ガスとから触媒により合成された水蒸気を含む混合ガス雰囲気下で、前記高融点金属膜を実質的に酸化しないように、前記ゲート電極の端部に対応する部分の前記シリコン表面および前記多結晶シリコン膜を熱酸化処理することによって、前記工程(c)のパターニングの際にエッチングされた前記ゲート電極の端部下の前記酸化シリコン膜を補填する工程。

【0037】15. 以下の工程を含む半導体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜を形成する工程、(b) 前記多結晶シリコン膜上に、直接またはバリア層を介してタ

ングステンを主成分とする高融点金属膜を形成する工程、(c) 前記多結晶シリコン膜および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、(d) 前記工程(c)の後、水素ガスおよび酸素ガスと水素ガスとから触媒により合成された水蒸気を含む混合ガス雰囲気下で、前記ゲート電極の端部に対応する部分の前記シリコン表面および前記多結晶シリコン膜を熱酸化処理する工程。

【0038】16. 半導体集積回路ウエハの第1の主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜と、前記多結晶シリコン膜上に直接またはバリア層を介して積層された高融点金属膜とで構成されるゲート電極が形成されたデュアルゲートCMOSを有する半導体集積回路装置であって、前記ゲート絶縁膜は、前記ゲート電極の一部を構成する前記多結晶シリコン膜の端部を越えて形成された熱酸化膜を含む半導体集積回路装置。

【0039】17. 半導体集積回路ウエハの第1の主面のシリコン表面に形成された熱酸化膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜と、前記多結晶シリコン膜上に直接またはバリア層を介して積層された高融点金属膜とで構成されるゲート電極が形成されたデュアルゲートCMOSを有する半導体集積回路装置であって、前記ゲート絶縁膜のうち、前記ゲート電極の端部下に形成された前記熱酸化膜の膜厚は、前記ゲート電極の中央部下に形成された前記熱酸化膜の膜厚よりも大きい半導体集積回路装置。

【0040】18. 半導体集積回路ウエハの第1の主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜と、前記多結晶シリコン膜上に直接またはバリア層を介して積層された高融点金属膜とで構成されるゲート電極が形成されたデュアルゲートCMOSを有する半導体集積回路装置であって、前記ゲート電極の端部下に形成された前記酸化シリコン膜は、電界集中を防止する程度に丸みを帯びた形状を有している半導体集積回路装置。

【0041】19. 半導体集積回路ウエハの第1の主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜と、前記多結晶シリコン膜上に直接またはバリア層を介して積層された高融点金属膜とで構成されるゲート電極が形成されたデュアルゲートCMOSを有する半導体集積回路装置であって、前記ゲート電極の一部を構成する前記多結晶シリコン膜の端部および下面は、熱酸化膜で覆われている半導体集積回路装置。

【0042】20. 前記19において、前記ゲート絶縁膜は、酸化シリコン膜を含む半導体集積回路装置。

【0043】21. 半導体基板の主面に形成したゲート酸化膜上にホウ素を含んだ多結晶シリコン膜と高融点金属膜とを直接またはバリア層を介して積層してなる導電

膜を形成した後、前記導電膜をパターニングしてMOSFETのゲート電極を形成する工程と、水素ガスおよび酸素ガスと水素ガスとから触媒により合成された水蒸気を含む混合ガスを所定の温度に加熱された前記半導体基板の主面またはその近傍に供給し、前記半導体基板の主面を選択的に酸化することによって、前記パターニングの際にエッチングされた前記ゲート電極の端部下の前記ゲート酸化膜のプロファイルを改善する熱処理工程とを含み、前記熱処理は、前記高融点金属膜が実質的に酸化されず、かつ前記ゲート電極の一部を構成する前記多結晶シリコン膜中のホウ素が前記ゲート酸化膜を通して前記半導体基板に拡散しない条件下で行う半導体集積回路装置の製造方法。

【0044】22. 前記21において、前記高融点金属膜はタングステンからなり、前記バリア層は窒化タングステンからなる半導体集積回路装置の製造方法。

【0045】23. 前記21において、前記ゲート電極の中央部下の前記ゲート酸化膜の膜厚は、3.5nm以下である半導体集積回路装置の製造方法。

【0046】24. 前記21において、前記ゲート電極のゲート長は、0.18μm以下である半導体集積回路装置の製造方法。

【0047】25. 前記22において、前記熱処理の温度は、650～900℃である半導体集積回路装置の製造方法。

【0048】26. 前記22において、前記熱処理の温度は、750～900℃である半導体集積回路装置の製造方法。

【0049】27. 前記22において、前記熱処理の温度は、850℃程度である半導体集積回路装置の製造方法。

【0050】28. 前記26において、前記混合ガス中の水分濃度は、1～50%である半導体集積回路装置の製造方法。

【0051】29. 前記27において、前記混合ガス中の水分濃度は、50%程度である半導体集積回路装置の製造方法。

【0052】30. 前記22において、前記混合ガスの圧力は、700Torr以下の減圧である半導体集積回路装置の製造方法。

【0053】31. 前記22において、前記混合ガスの圧力は、700～800Torrの常圧である半導体集積回路装置の製造方法。

【0054】32. 前記22において、前記混合ガスの圧力は、800Torr以上の陽圧である半導体集積回路装置の製造方法。

【0055】33. 以下の工程を含む半導体集積回路装置の製造方法；

(a) 半導体基板の主面にゲート酸化膜を形成した後、前記ゲート酸化膜上に多結晶シリコン膜を形成する工

程、(b) 前記半導体基板の第1領域の前記多結晶シリコン膜にホウ素を含むp型不純物をドーピングしてp型多結晶シリコン膜を形成し、前記半導体基板の第2領域の前記多結晶シリコン膜にn型不純物をドーピングしてn型多結晶シリコン膜を形成する工程、(c) 前記p型多結晶シリコン膜および前記n型多結晶シリコン膜のそれぞれの上部を含む前記半導体基板上に直接またはバリア層を介して高融点金属膜を形成する工程、(d) 前記p型多結晶シリコン膜および前記n型多結晶シリコン膜とそれらの上部に形成した前記高融点金属膜とをパターニングすることによって、前記半導体基板の前記第1領域に前記p型多結晶シリコン膜と前記高融点金属膜とで構成されるpチャネル型MOSFETの第1ゲート電極を形成し、前記半導体基板の前記第2領域に前記n型多結晶シリコン膜と前記高融点金属膜とで構成されるnチャネル型MOSFETの第2ゲート電極を形成する工程、

(e) 水素ガスおよび酸素ガスと水素ガスとから触媒により合成された水蒸気を含む混合ガスを所定の温度に加熱された前記半導体基板の主面またはその近傍に供給し、前記第1ゲート電極および前記第2ゲート電極のそれぞれの一部を構成する前記高融点金属膜が実質的に酸化されず、かつ前記第1ゲート電極の他の一部を構成する前記p型多結晶シリコン膜中のホウ素が前記ゲート酸化膜を通して前記半導体基板に拡散しない条件下で前記半導体基板の主面を選択的に酸化することによって、前記パターニングの際にエッチングされた前記第1ゲート電極および前記第2ゲート電極のそれぞれの端部下の前記ゲート酸化膜のプロファイルを改善する熱処理を行う工程。

【0056】34. 前記33において、前記高融点金属膜はタングステンからなり、前記バリア層は窒化タングステンからなる半導体集積回路装置の製造方法。

【0057】35. 前記33において、前記第1ゲート電極および前記第2ゲート電極のそれぞれの中央部下の前記ゲート酸化膜の膜厚は、3.5nm以下である半導体集積回路装置の製造方法。

【0058】36. 前記33において、前記第1ゲート電極および前記第2ゲート電極のそれぞれのゲート長は、0.18μm以下である半導体集積回路装置の製造方法。

【0059】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0060】さらに、以下の実施の形態では、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、そ

10

20

30

40

50

れらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲などを含む）に言及する場合、特に明示したときおよび原理的に明らかに特定の数に限定されるときを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。さらに、以下の実施の形態において、その構成要素（要素ステップ等を含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合を除き、必ずしも必須のものではないことは言うまでもない。

【0061】同様に、以下の実施の形態において、構成要素などの形状、位置関係などに言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合を除き、実質的にその形状などに近似または類似するものなどを含むものとする。このことは、上記数値および範囲についても同様である。

【0062】また、本願で半導体集積回路装置というときは、シリコンウエハ上に作られるものだけでなく、特にそうでない旨明示された場合を除き、TFT液晶などの他の基板上に作られるものも含むものとする。

【0063】本実施の形態は、nチャネル型MISFETとpチャネル型MISFETとで集積回路を構成したCMOS LSIの製造方法に適用したものである。このCMOS LSIを製造するには、まず、図1に示すように、比抵抗が $10\Omega\text{cm}$ 程度の単結晶シリコンからなる半導体基板1を 850°C 程度で熱処理してその主面に膜厚 10nm 程度の薄い酸化シリコン膜2（パッド酸化膜）を形成し、次いでこの酸化シリコン膜2の上に膜厚 120nm 程度の窒化シリコン膜3をCVD（Chemical Vapor Deposition）法で堆積した後、フォトリソグラフをマスクにしたドライエッチングで素子分離領域の窒化シリコン膜3と酸化シリコン膜2とを除去する。上記酸化シリコン膜2は、後の工程で素子分離溝の内部に埋め込まれる酸化シリコン膜をデンシファイ（焼き締め）するときなどに基板に加わるストレスを緩和する目的で形成される。また、窒化シリコン膜3は酸化されにくい性質を持つので、その下部（活性領域）の基板表面の酸化を防止するマスクとして利用される。

【0064】次に、図2に示すように、窒化シリコン膜3をマスクにしたドライエッチングで素子分離領域の半導体基板1に深さ 350nm 程度の溝4aを形成した後、上記エッチングで溝4aの内壁に生じたダメージ層を除去するために、半導体基板1を 1000°C 程度で熱処理して溝4aの内壁に膜厚 10nm 程度の薄い酸化シリコン膜5を形成する。

【0065】次に、図3に示すように、半導体基板1上に膜厚 380nm 程度の酸化シリコン膜6をCVD法で堆積し、次いで酸化シリコン膜6の膜質を改善するために、半導体基板1を熱処理して酸化シリコン膜6をデン

シファイ（焼締め）する。その後、窒化シリコン膜3をストッパに用いた化学的機械研磨（Chemical Mechanical Polishing; CMP）法で酸化シリコン膜6を研磨して溝4aの内部に残すことにより、表面が平坦化された素子分離溝4を形成する。なお、本願においてウエハ（基板）の主面（素子形成面）の機械的平坦化というときには、浮遊砥粒によるCMPに限らず、固定砥粒を用いた同様の平坦化およびそれらの中間的形態を含むものとする。

【0066】次に、熱リン酸を用いたウェットエッチングで半導体基板1の活性領域上に残った窒化シリコン膜3を除去した後、図4に示すように、半導体基板1のnチャネル型MISFETを形成する領域にB（ホウ素）をイオン打ち込みしてp型ウエル7を形成し、pチャネル型MISFETを形成する領域にP（リン）をイオン打ち込みしてn型ウエル8を形成する。

【0067】その後、上記p型ウエル7にnチャネル型MISFETのしきい値電圧（ V_{th} ）を調整するためのB（ホウ素）をイオン打ち込みし、n型ウエル8にpチャネル型MISFETのしきい値電圧（ V_{th} ）を調整するためのP（リン）をイオン打ち込みする。

【0068】次に、図5に示すように、p型ウエル7およびn型ウエル8のそれぞれの表面の酸化シリコン膜2をHF（フッ酸）系の洗浄液を使って除去した後、半導体基板1をウェット酸化してp型ウエル7およびn型ウエル8のそれぞれの表面に膜厚 3.5nm 程度の清浄なゲート酸化膜9を形成する。

【0069】特に限定はされないが、上記ゲート酸化膜9を形成した後、半導体基板1を NO （酸化窒素）あるいは N_2O （亜酸化窒素）雰囲気中で熱処理することによって、ゲート酸化膜9と半導体基板1との界面に窒素を偏析させる酸窒化処理を行ってもよい。ゲート酸化膜9が 3.5nm 程度まで薄くなると、半導体基板1との熱膨張係数差に起因して両者の界面に生じる歪みが顕在化し、ホットキャリアの発生を誘発する。半導体基板1との界面に偏析した窒素はこの歪みを緩和するので、上記の酸窒化処理は、極めて薄いゲート酸化膜9の信頼性を向上できる。

【0070】次に、図6に示すように、半導体基板1上に膜厚 $90\sim 100\text{nm}$ 程度のノンドープ多結晶シリコン膜をCVD法で堆積した後、nチャネル型MISFETを形成する領域（p型ウエル7）のノンドープ多結晶シリコン膜にP（リン）をイオン打ち込みしてn型多結晶シリコン膜 10n を形成し、pチャネル型MISFETを形成する領域（n型ウエル8）のノンドープ多結晶シリコン膜にB（ホウ素）をイオン打ち込みしてp型多結晶シリコン膜 10p を形成する。

【0071】次に、図7に示すように、n型多結晶シリコン膜 10n およびp型多結晶シリコン膜 10p のそれぞれの上に膜厚 5nm 程度のWN膜11と膜厚 50nm 程

10

20

30

40

50

度のW膜12とをスパッタリング法で堆積し、さらにW膜12の上部に膜厚200nm程度の窒化シリコン膜13をCVD法で堆積した後、窒化シリコン膜13の上部に形成したフォトリソ膜14をマスクにしてこれらの膜をドライエッチングする。これにより、p型ウエル7のゲート酸化膜9の上部にn型多結晶シリコン膜10n、WN膜11およびW膜12からなるnチャネル型MISFETのゲート電極15nが形成され、n型ウエル8のゲート酸化膜9の上部にp型多結晶シリコン膜10p、WN膜11およびW膜12からなるpチャネル型MISFETのゲート電極15pが形成される。ゲート電極15nおよびゲート電極15pのそれぞれのゲート長は、例えば0.18μmである。

【0072】上記のように、nチャネル型MISFETのゲート電極15nおよびpチャネル型MISFETのゲート電極15pのそれぞれの一部を低抵抗の金属

(W)で構成したポリメタル構造とすることにより、そのシート抵抗を2Ω/□程度にまで低減できるので、CMOS回路のゲート遅延を抑制して高速動作を実現することができる。

【0073】その後、ゲート電極15n、15pの加工に用いたフォトリソ膜14をアッシング(灰化)処理で除去し、さらにフッ酸などのエッチング液を使って、半導体基板1の表面に残ったドライエッチング残渣やアッシング残渣を除去する。このウェットエッチングを行うと、図8に示すように、ゲート電極15n(ゲート電極15pも同様)の下部以外の領域のゲート酸化膜9が削られてその膜厚がエッチング前の半分程度まで薄くなると同時に、ゲート側壁下部のゲート酸化膜9も等方的にエッチングされてアンダーカットが生じるので、そのままではゲート電極15n、15pの耐圧が低下するなどの不具合が生じる。そこで、上記ウェットエッチングで削れたゲート酸化膜9を補填・再生するために、以下のような方法で再酸化(ライト酸化)処理を行う。なお、このライト酸化処理については、本発明者等による特願平9-142315号に詳細な記載がある。

【0074】図9(a)は、ライト酸化処理に用いる枚葉式酸化炉の具体的な構成の一例を示す概略平面図、図9(b)は、図9(a)のB-B'線に沿った断面図である。

【0075】この枚葉式酸化炉100は、多重壁石英管で構成されたチャンバ101を備えており、その上部および下部には半導体ウエハ1Aを加熱するヒータ102a、102bが設置されている。チャンバ101の内部には、このヒータ102a、102bから供給される熱を半導体ウエハ1Aの全面に均等に分散させる円盤状の均熱リング103が収容され、その上部に半導体ウエハ1Aを水平に保持するサセプタ104が載置されている。均熱リング103は、石英あるいはSiC(シリコンカーバイド)などの耐熱材料で構成され、チャンバ1

01の壁面から延びる支持アーム105によって支持されている。均熱リング103の近傍には、サセプタ104に保持された半導体ウエハ1Aの温度を測定する熱電対106が設置されている。半導体ウエハ1Aの加熱は、ヒータ102a、102bによる加熱方式の他、例えば図10に示すようなハロゲンランプ107を用いたRTA(Rapid Thermal Annealing)方式を採用してもよい。

【0076】チャンバ101の壁面の一部には、チャンバ101内に水蒸気/水素混合ガスとパージガスとを導入するためのガス導入管108の一端が接続されている。このガス導入管108の他端には、後述する触媒方式のガス生成装置が接続されている。ガス導入管108の近傍には、多数の貫通孔109を備えた隔壁110が設けられており、チャンバ101内に導入された気体は、この隔壁110の貫通孔109を通過してチャンバ101内に均等に行き渡る。チャンバ101の壁面の他の一部には、チャンバ101内に導入された上記ガスを排出するための排気管111の一端が接続されている。

【0077】図11は、上記枚葉式酸化炉100のチャンバ101に接続された触媒方式の水蒸気/水素混合ガス生成装置を示す概略図、図12は、このガス生成装置の配管系統図である。このガス生成装置140は、耐熱耐食性合金(例えば商品名「ハステロイ(Hastelloy)」として知られるNi合金など)で構成された反応器141を備えており、その内部にはPt(プラチナ)、Ni(ニッケル)あるいはPd(パラジウム)などの触媒金属からなるコイル142とこのコイル142を加熱するヒータ143とが収容されている。

【0078】上記反応器141には、水素および酸素からなるプロセスガスと、窒素あるいはAr(アルゴン)などの不活性ガスからなるパージガスとがガス貯留槽144a、144b、144cから配管145を通じて導入されるようになっている。また、ガス貯留槽144a、144b、144cと配管145の間には、ガスの量を調節するマスフローコントローラ146a、146b、146cと、ガスの流路を開閉する開閉バルブ147a、147b、147cとが設置され、反応器141内に導入されるガスの量および成分比がこれらによって精密に制御されるようになっている。

【0079】上記反応器141内に導入されたプロセスガス(水素および酸素)は、350~450℃程度に加熱されたコイル142に接触して励起され、水素分子からは水素ラジカルが生成し($H_2 \rightarrow 2H^*$)、酸素分子からは酸素ラジカルが生成する($O_2 \rightarrow 2O^*$)。これら2種のラジカルは化学的に極めて活性であるために、速やかに反応して水を生成する($2H^* + O^* \rightarrow H_2O$)。そこで、水(水蒸気)が生成するモル比(水素:酸素=2:1)よりも過剰の水素を含んだプロセスガスを反応器141内に導入することにより、水蒸気/

水素混合ガスが生成する。この混合ガスは、図 1 2 に示す希釈ライン 1 4 8 から供給される水素と混合されて所望の水分濃度の水蒸気／水素混合ガスに調整された後、前記ガス導入管 1 0 8 を通って枚葉式酸化炉 1 0 0 のチャンバ 1 0 1 に導入される。なお、この混合ガスは、窒素やアルゴンなどの不活性ガスで適度の濃度に希釈してチャンバ 1 0 1 に導入してもよい。また、混合ガスの圧力は、数十 Torr から数気圧の範囲で任意に設定してもよい。

【0080】上記のような触媒方式のガス生成装置 1 4 0 は、水の生成に関与する水素と酸素の量およびそれらの比率を高精度に制御できるので、チャンバ 1 0 1 に導入される水蒸気／水素混合ガス中の水蒸気濃度を ppm オーダの極低濃度から数 1 0 % 程度の高濃度まで広範囲に、かつ高精度に制御することができる。また、反応器 1 4 1 にプロセスガスを導入すると瞬時に水が生成されるので、所望する水蒸気濃度の水蒸気／水素混合ガスがリアルタイムで得られる。またこれにより、異物の混入も最小限に抑えられるので、クリーンな水蒸気／水素混合ガスをチャンバ 1 0 1 に導入することができる。

【0081】なお、反応器 1 4 1 内の触媒金属は、水素および酸素をラジカル化できるものであれば前述した金属に限定されない。また、触媒金属はコイル状に加工して使用する他、例えば中空の管あるいは細かい繊維フィルタなどに加工し、その内部にプロセスガスを通してよい。

【0082】図 1 3 は、水蒸気／水素混合ガスを使った酸化還元反応の平衡蒸気圧比 (P_{H_2O} / P_{H_2}) の温度依存性を示すグラフであり、図中の曲線 (a) ~ (e) は、それぞれ W、Mo、Ta (タンタル)、Si、Ti の平衡蒸気圧比を示している。

【0083】図示のように、枚葉式酸化炉 1 0 0 のチャンバ 1 0 1 に導入する水蒸気／水素混合ガスの水蒸気／水素分圧比を曲線 (a) と曲線 (d) とに挟まれた領域の範囲内に設定することにより、ゲート電極 (15 n、15 p) の一部を構成する W 膜 1 2 およびバリア層である WN 膜 1 1 を酸化することなしに、Si (半導体基板 1 および多結晶シリコン膜 10 n、10 p) のみを選択的に酸化することができる。また図示のように、金属 (W、Mo、Ta、Ti)、Si のいずれも水蒸気／水素混合ガス中の水蒸気濃度が高くなるにつれて酸化速度は大きくなる。すなわち、水蒸気／水素混合ガス中の水蒸気濃度を高くすることにより、より短時間の熱処理で Si を選択的に酸化することができる。

【0084】同様に、ゲート電極 (15 n、15 p) の高融点金属部分を Mo 膜で構成した場合には、水蒸気／水素分圧比を曲線 (b) と曲線 (d) とに挟まれた領域の範囲内に設定することにより、Mo 膜を酸化することなしに Si のみを選択的に酸化することができる。また、ゲート電極 (15 n、15 p) の一部を Ta 膜で構

成した場合には、水蒸気／水素分圧比を曲線 (c) と曲線 (d) とに挟まれた領域の範囲内に設定することにより、Ta 膜を酸化することなしに Si のみを選択的に酸化することができる。

【0085】一方、図示のように、水蒸気／水素混合ガス雰囲気中で Ti は Si よりも酸化速度が大きいために、ゲート電極 (15 n、15 p) のメタル部分を Ti 膜で構成したり、バリア層を Ti N 膜で構成したりした場合には、Si (半導体基板 1 および多結晶シリコン膜 10 n、10 p) のみを選択的に酸化しようとしても Ti 膜や Ti N 膜が同時に酸化されてしまうために、ゲート電極の剥離が生じたりする。

【0086】図 1 4 は、上記水蒸気／水素混合ガスを使った酸化処理時間と酸化シリコンの膜厚との関係を示すグラフである。図示のように、酸化シリコンの膜厚は、酸化時間にほぼ比例して増加するが、水分濃度が 0 % の場合は、酸化時間を増やしても膜厚は増加しない。

【0087】また、図 1 5 および図 1 6 は、水蒸気／水素混合ガスの水分濃度を 10 %、15 % とした場合において、一定の酸化膜厚 (2、3、4、5 nm) を得るのに必要な酸化温度と酸化時間との関係を示すグラフである。図示のように、いずれの場合も一定の酸化膜厚を得るのに必要な酸化時間は、酸化温度にほぼ比例して短くなる。

【0088】一方、図 1 7 は、膜厚 3.5 nm の酸化シリコン膜上に形成した膜厚 100 nm の多結晶シリコン膜に打ち込みエネルギー 5 keV、ドーズ量 $4 \times 10^{15} / \text{cm}^2$ の条件で B (ホウ素) をドーピングして形成したゲート電極を熱処理したときの温度と VFB (V_{th} とほぼ等価) との関係を示すグラフである。図示のように、熱処理温度が 850 °C 程度を超えると、酸化シリコン膜を通して基板に拡散するゲート電極中の B (ホウ素) の量が急激に増大することに起因して VFB も急激に増大することが分かる。

【0089】以上のことから、ゲート電極 (15 n、15 p) の一部を構成する W 膜 1 2 およびバリア層である WN 膜 1 1 を酸化することなしに、Si (半導体基板 1 および多結晶シリコン膜 10 n、10 p) のみを選択的に酸化し、かつゲート電極 (15 p) の他の一部を構成する p 型多結晶シリコン膜 10 p 中の B (ホウ素) がゲート酸化膜 9 を通って半導体基板 1 (n 型ウエル 8) に拡散しないような低熱負荷条件下でゲート酸化膜 9 を補填・再生するためのライト酸化処理を行うには、半導体ウエハ 1 A の加熱温度を酸化シリコン膜の品質が低下しない下限温度である 650 °C から半導体ウエハ 1 A の表面荒れが発生し易くなる 900 °C の範囲内、好ましくは 750 ~ 900 °C の範囲内に設定し、より好ましくは B (ホウ素) の基板への拡散が抑制できる上限温度である 850 °C 程度に設定する。また、このときの水蒸気／水素混合ガスの水分濃度は、酸化シリコン膜が成長する実

用的な下限濃度である1%から前記酸化還元反応で酸化が進行する水分濃度の上限値の範囲内とし、特に、半導体ウエハ1Aの加熱温度を850℃程度に設定した場合は、酸化反応速度を大きくするために水分濃度を少なくとも30%程度以上に設定することが好ましく、より好ましくは水分濃度の上限値である50%程度(図13参照)に設定する。

【0090】次に、前記枚葉式酸化炉100を使ったライト酸化プロセスシーケンスの一例を図18を参照しながら説明する。

【0091】まず、枚葉式酸化炉100のチャンバ101を開放し、その内部にパージガス(窒素)を導入しながら、前記ゲート電極15n、15pの加工が終わった半導体ウエハ1Aをサセプタ104の上にロードする。その後、チャンバ101を閉鎖し、引き続きパージガスを導入してチャンバ101内のガス交換を十分に行う。サセプタ104は、半導体ウエハ1Aが速やかに加熱されるよう、あらかじめヒータ102a、102bで加熱しておく(例えば850℃程度)。

【0092】次に、チャンバ101内に水素を導入して窒素を排出する。チャンバ101内に窒素が残留していると不所望な窒化反応が生じたりするので、ゲート酸化膜を極力厚くしたくない場合には、窒素を完全に排出しておくことが望ましい(なお、以下のライト酸化処理の雰囲気については、水素および水分以外にも、必要に応じてアルゴンなどの不活性ガス、酸素、窒素などを添加することができるというまでもない)。

【0093】続いて、ガス生成装置140の反応器141に酸素と過剰の水素とを導入し、触媒作用によって酸素と水素とから生成した水を含む水蒸気/水素混合ガス(水分濃度は例えば50%程度)をチャンバ101に導入して半導体ウエハ1Aの表面を所定の時間だけ酸化する。これにより、前記ウェットエッチングで削られて薄くなったゲート酸化膜9が再酸化され、図19(a)に示すように、アンダーカットされたゲート電極(15n、15p)の側壁端部のプロファイルが改善される。すなわち、同図(b)に拡大して示すように、ゲート電極(15n、15p)の側壁端部は、エッチングによる尖ったエッジが取り除かれて丸みを帯び、電界集中が軽減されるようになる。

【0094】上記のライト酸化を長時間行くと、ゲート電極端部近傍の酸化膜厚が必要以上に厚くなり、ゲート電極端部でオフセットが生じたり、MOSFETのしきい値電圧(V_{th})が設計値からずれたりする。また、ゲート電極15pを一部を構成するp型多結晶シリコン膜10p中のB(ホウ素)の一部が基板(n型ウエル8)に拡散し易くなるといった問題や、実効チャネル長がゲート電極(15n、15p)の加工値よりも短くなるといった問題も生じる。

【0095】特に、ゲート長が0.18μm前後の微細

なMOSFETは、ゲート加工寸法の設計値からの細り許容量が素子設計の面から厳しく制限される。これは、細り量が僅かに増加しただけでも短チャネル効果によって、しきい値電圧が急激に減少するからである。ゲート長が0.18μm前後のゲート電極の場合、その一部を構成する多結晶シリコン膜の側壁端部がライト酸化工程で約0.1μm(両端で約0.2μm)酸化される程度が、しきい値電圧の急激な減少を来さない限界と考えられる。従って、ライト酸化によって成長させる酸化膜厚は、ゲート酸化膜厚の50%増し程度を上限とするのが望ましい。

【0096】その後、チャンバ101内にパージガス(窒素)を導入して水蒸気/水素混合ガスを排出してからチャンバ101を開放し、その内部にパージガスを導入しながら半導体ウエハ1Aをサセプタ104からアンロードすることにより、ライト酸化処理が終了する。

【0097】以下、上記ライト酸化工程以後のCMOSプロセスを簡単に説明する。まず、図20に示すように、p型ウエル7にn型不純物、例えばP(リン)をイオン打ち込みしてゲート電極15nの両側のp型ウエル7にn⁻型半導体領域16を形成し、n型ウエル8にp型不純物、例えばB(ホウ素)をイオン打ち込みしてゲート電極15pの両側のn型ウエル8にp⁻型半導体領域17を形成した後、半導体基板1上に膜厚100nm程度の窒化シリコン膜18をCVD法で堆積する。

【0098】次に、図21に示すように、p型ウエル7にn型不純物、例えばAs(ヒ素)をイオン打ち込みしてnチャネル型MISFETのn⁺型半導体領域21(ソース、ドレイン)を形成し、n型ウエル8にp型不純物、例えばB(ホウ素)をイオン打ち込みしてpチャネル型MISFETのp⁺型半導体領域22(ソース、ドレイン)を形成する。ここまでの工程により、デュアルゲート構造のnチャネル型MISFETQnおよびpチャネル型MISFETQpが完成する。

【0099】次に、図22に示すように、半導体基板1上にCVD法で酸化シリコン膜22を堆積し、化学的機械研磨法を用いてその表面を平坦化した後、フォトリソ膜をマスクにしたドライエッチングでn⁺型半導体領域20(ソース、ドレイン)およびp⁺型半導体領域21(ソース、ドレイン)の上部の酸化シリコン膜22を除去する。このエッチングは、窒化シリコン膜13、19に対する酸化シリコン膜22のエッチングレートが大きくなるような条件で行い、n⁺型半導体領域20(ソース、ドレイン)およびp⁺型半導体領域21(ソース、ドレイン)のそれぞれの上部の窒化シリコン膜18が除去されないようにする。

【0100】次に、n⁺型半導体領域20(ソース、ドレイン)およびp⁺型半導体領域21(ソース、ドレイン)のそれぞれの上部の窒化シリコン膜18とゲート酸化膜9とを除去することにより、n⁺型半導体領域20

10

20

30

40

50

(ソース、ドレイン)の上部にコンタクトホール23を形成し、 p^+ 型半導体領域21(ソース、ドレイン)の上部にコンタクトホール24を形成する。このエッチングは、半導体基板1の削れ量を最少とするために、オーバーエッチング量を必要最小限にとどめると共に、半導体基板1(シリコン)に対する選択比を大きく取れるエッチングガスを使用する。また、このエッチングは、窒化シリコン膜19が異方的にエッチングされるような条件で行い、ゲート電極15n、15pの側壁に窒化シリコン膜18が残るようにする。このようにすると、コンタクトホール23は、ゲート電極15nに対し、またコンタクトホール24は、ゲート電極15pに対してそれぞれ自己整合で形成される。

【0101】次に、図23に示すように、酸化シリコン膜22の上部に堆積したW膜をパターニングして配線25~30を形成することにより、本実施の形態のCMOSLSIが略完成する。

【0102】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0103】例えば上記したゲート酸化膜のライト酸化処理は、図24に示すようなバッチ式縦型酸化炉150に前記のような触媒方式の水蒸気/水素混合ガス生成装置140を取り付けて行うこともできる。この種のバッチ式縦型酸化炉150を使用する場合には、昇降温機構を設けた酸化炉を使用するとよい。このバッチ式縦型酸化炉150を使ったライト酸化処理プロセスのシーケンスの一例を図25に示す。

【0104】また、前記実施の形態ではポリメタル構造のゲート電極を加工する場合について説明したが、本発明のライト酸化処理は、ホウ素がドーパされた多結晶シリコン膜上にタングステンシリサイドなどの高融点金属膜を積層したポリサイド構造のゲート電極を加工する場合にも適用することができる。

【0105】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0106】本発明によれば、ポリメタルゲート構造とデュアルゲート構造とを採用するCMOSLSIにおいて、ゲート電極の一部を構成する高融点金属膜の酸化と、ゲート電極の他の一部を構成するp型多結晶シリコン膜中のホウ素の拡散とを共に抑制することができる。これにより、短ゲート長の微細なMOSFETで構成されるCMOSLSIの信頼性、製造歩留まりを向上させることができる。特に、ゲート長が $0.18\mu\text{m}$ 以下の微細なMOSFETで構成されるCMOSLSIの場合、上記した効果はさらに顕著である。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるCMOSLSIの製造方法を示す半導体基板の要部断面図である。

【図2】本発明の一実施の形態であるCMOSLSIの製造方法を示す半導体基板の要部断面図である。

【図3】本発明の一実施の形態であるCMOSLSIの製造方法を示す半導体基板の要部断面図である。

【図4】本発明の一実施の形態であるCMOSLSIの製造方法を示す半導体基板の要部断面図である。

【図5】本発明の一実施の形態であるCMOSLSIの製造方法を示す半導体基板の要部断面図である。

【図6】本発明の一実施の形態であるCMOSLSIの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態であるCMOSLSIの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態であるCMOSLSIの製造方法を示す半導体基板の要部拡大断面図である。

【図9】(a)はライト酸化処理に使用する枚葉式酸化炉の概略平面図、(b)は、(a)のB-B'線に沿った断面図である。

【図10】(a)はライト酸化処理に使用する枚葉式酸化炉の概略平面図、(b)は、(a)のB-B'線に沿った断面図である。

【図11】本発明の一実施の形態で使用する触媒方式の水蒸気/水素混合ガス生成装置の概略図である。

【図12】図11に示す水蒸気/水素混合ガス生成装置の配管系統図である。

【図13】水蒸気/水素混合ガスを使った酸化還元反応の平衡蒸気圧比の温度依存性を示すグラフである。

【図14】水蒸気/水素混合ガスを使った酸化処理時間と酸化シリコンの膜厚との関係を示すグラフである。

【図15】酸化温度と酸化時間との関係を示すグラフである。

【図16】酸化温度と酸化時間との関係を示すグラフである。

【図17】ゲート電極を熱処理したときの温度とVFBとの関係を示すグラフである。

【図18】枚葉式酸化炉を使ったライト酸化プロセスのシーケンスを示す図である。

【図19】(a)、(b)は、ライト酸化処理後のゲート酸化膜の状態を示す半導体基板の要部拡大断面図である。

【図20】本発明の一実施の形態であるCMOSLSIの製造方法を示す半導体基板の要部断面図である。

【図21】本発明の一実施の形態であるCMOSLSIの製造方法を示す半導体基板の要部断面図である。

【図22】本発明の一実施の形態であるCMOSLSIの製造方法を示す半導体基板の要部断面図である。

【図23】本発明の一実施の形態であるCMOSLSIの製造方法を示す半導体基板の要部断面図である。

【図 2 4】ライト酸化処理に使用するバッチ式縦型酸化炉の概略断面図である。

【図 2 5】バッチ式縦型酸化炉を使ったライト酸化プロセスのシーケンスを示す図である。

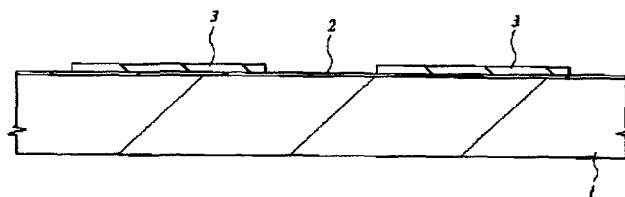
【符号の説明】

- 1 半導体基板
- 1 A 半導体ウエハ
- 2 酸化シリコン膜 (パッド酸化膜)
- 3 窒化シリコン膜
- 4 素子分離溝
- 4 a 溝
- 5 酸化シリコン膜
- 6 酸化シリコン膜
- 7 p 型ウエル
- 8 n 型ウエル
- 9 ゲート酸化膜
- 10 n n 型多結晶シリコン膜
- 10 p p 型多結晶シリコン膜
- 11 WN 膜
- 12 W 膜
- 13 窒化シリコン膜
- 14 フォトリソグ膜
- 15 n ゲート電極
- 15 p ゲート電極
- 16 n⁻ 型半導体領域
- 17 p⁻ 型半導体領域
- 18 窒化シリコン膜
- 20 n⁺ 型半導体領域 (ソース、ドレイン)

- * 21 p⁺ 型半導体領域 (ソース、ドレイン)
- 22 酸化シリコン膜
- 23 コンタクトホール
- 24 コンタクトホール
- 25~30 第 1 層配線
- 100 枚葉式酸化炉
- 101 チャンバ
- 102 a、102 b ヒータ
- 103 均熱リング
- 10 104 サセプタ
- 105 支持アーム
- 106 熱電対
- 107 ハロゲンランプ
- 108 ガス導入管
- 109 貫通孔
- 110 隔壁
- 111 排気管
- 140 ガス生成装置
- 141 反応器
- 20 142 コイル
- 143 ヒータ
- 144 a~144 c ガス貯留槽
- 145 配管
- 146 a~146 c マスフローコントローラ
- 147 a~147 c 開閉バルブ
- 148 希釈ライン
- Qn nチャネル型 MOSFET
- * Qp pチャネル型 MOSFET

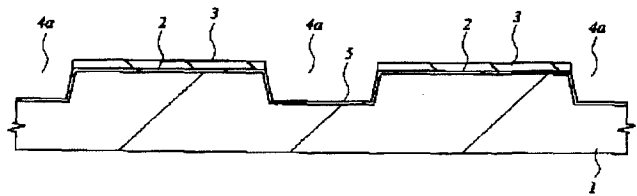
【図 1】

図 1



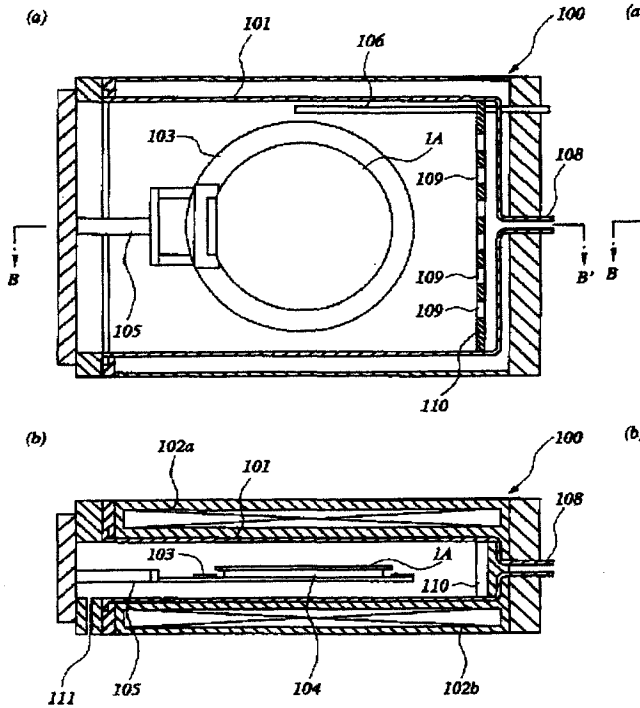
【図 2】

図 2



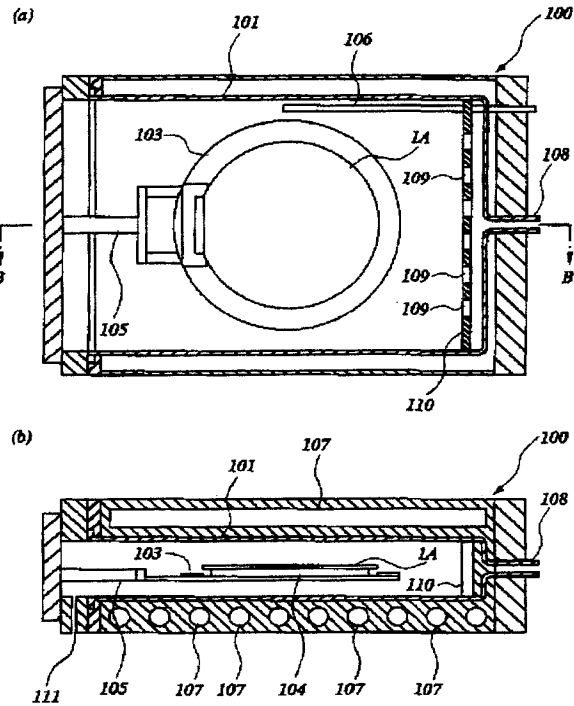
【図9】

図 9



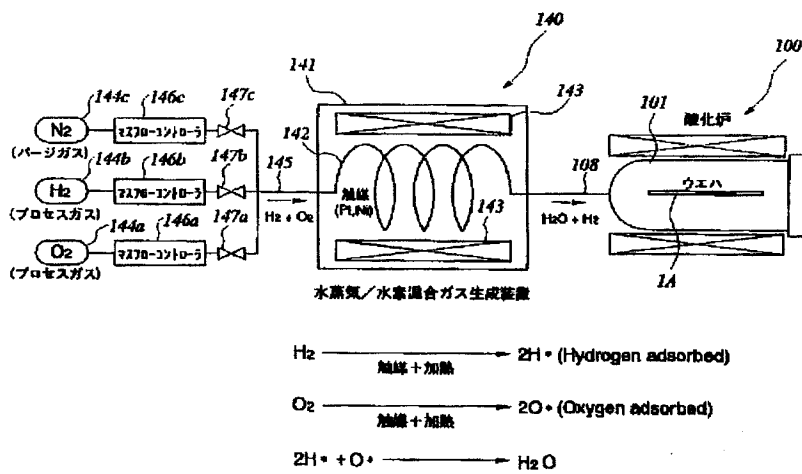
【図10】

図 10



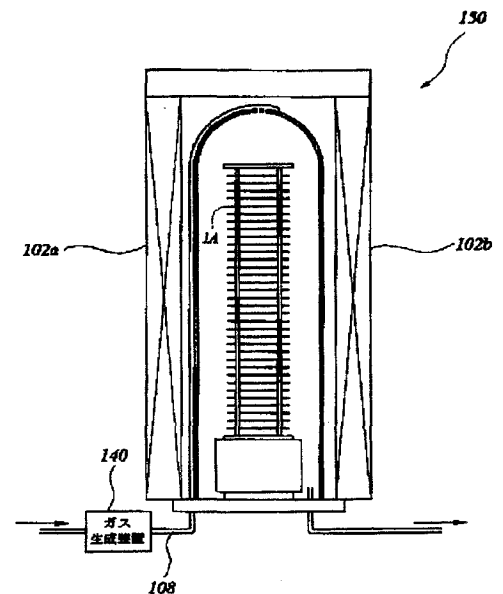
【図11】

図 11

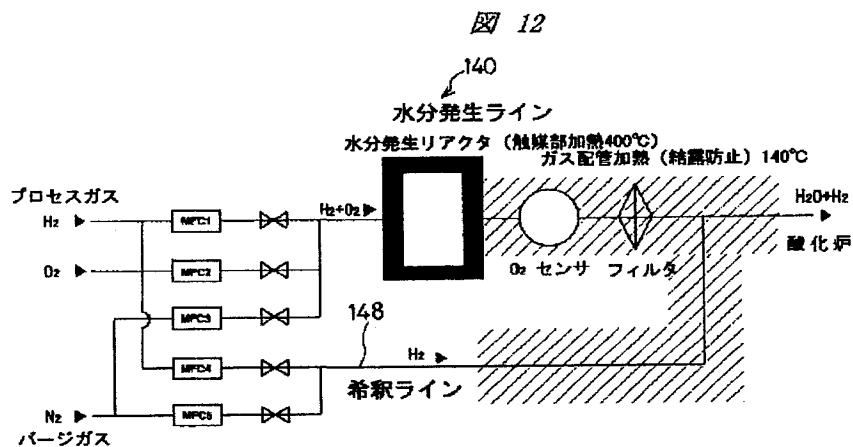


【図24】

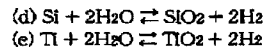
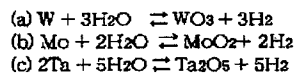
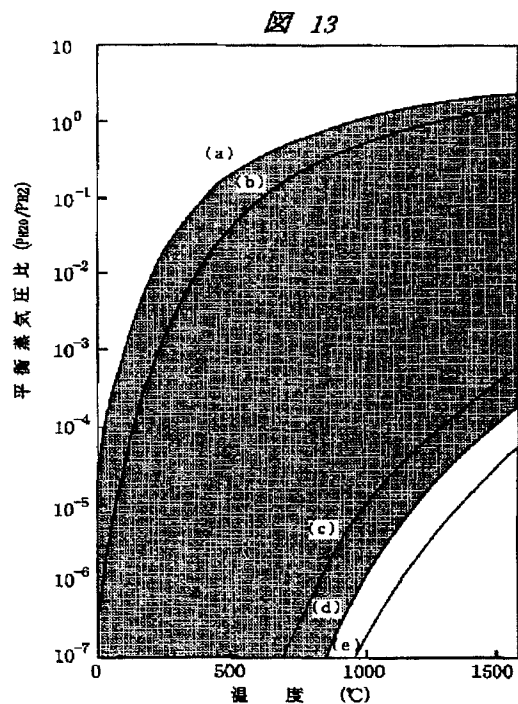
図 24



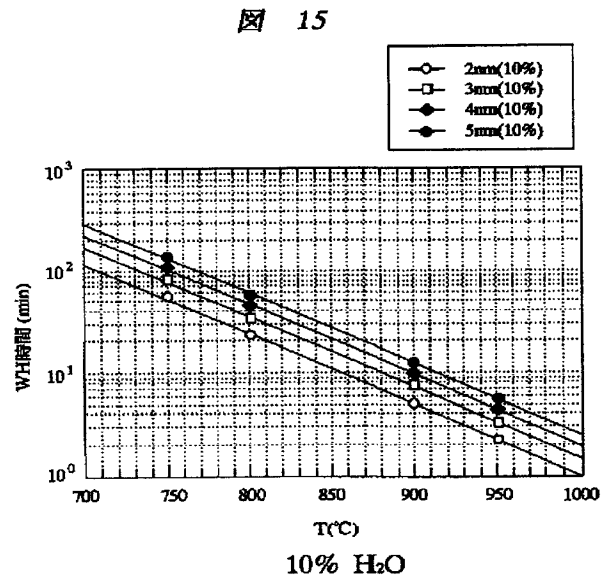
【図12】



【図13】

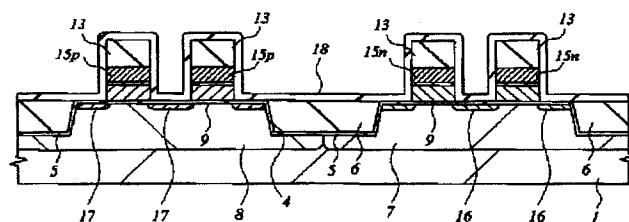


【図15】



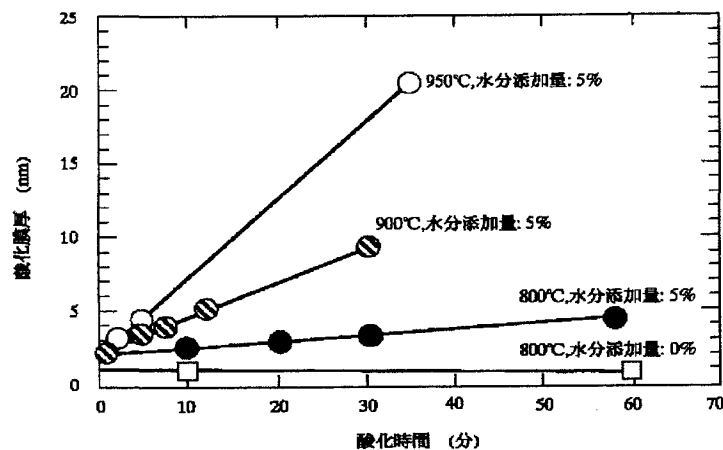
【図20】

図 20



【図14】

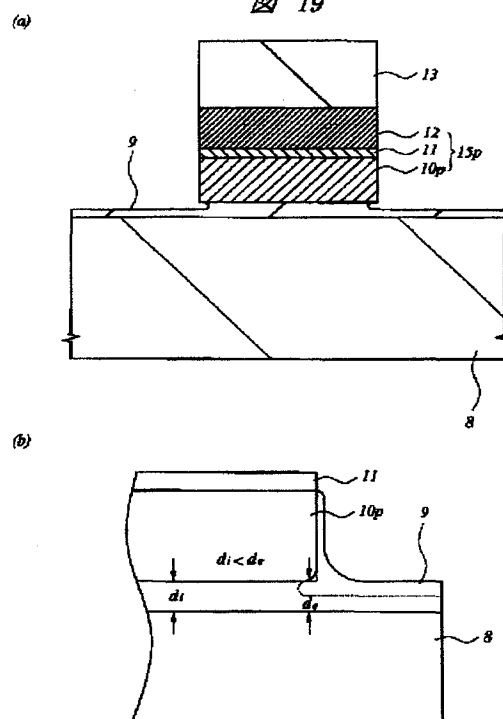
図 14



Si酸化膜厚のWH酸化時間依存性

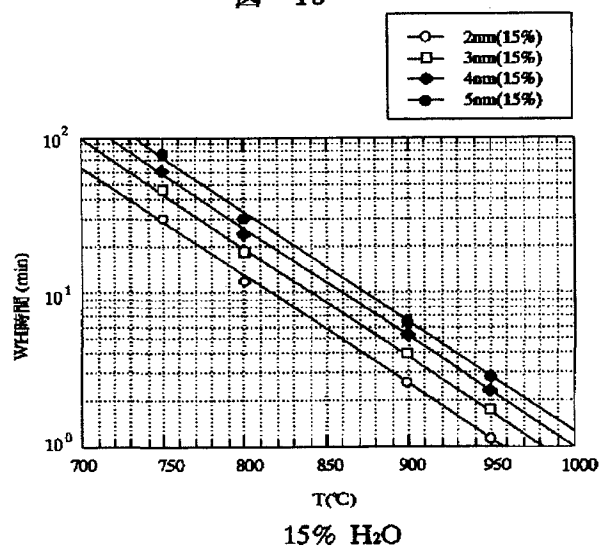
【図19】

図 19



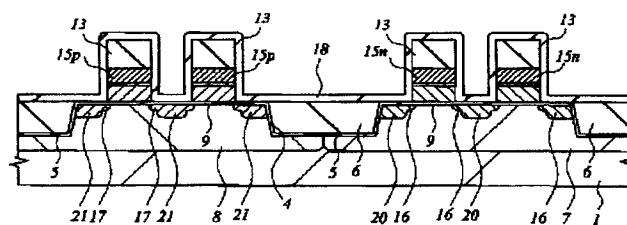
【図16】

図 16



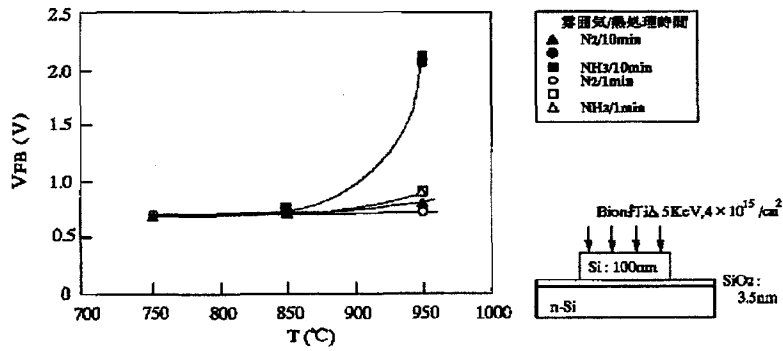
【図21】

図 21



【図 17】

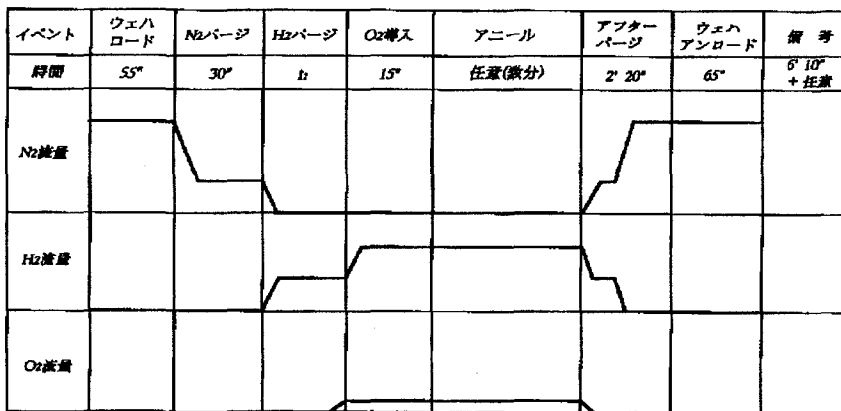
図 17



熱処理雰囲気とVFBの関係

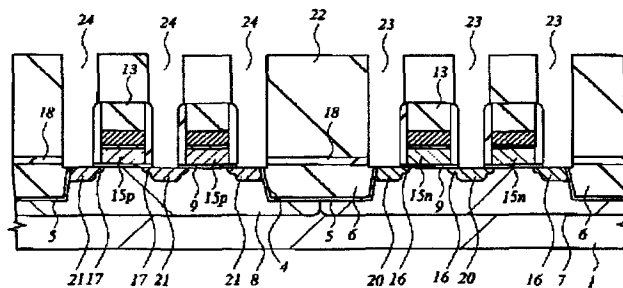
【図 18】

図 18

t: N₂が完全にH₂に交換される時間

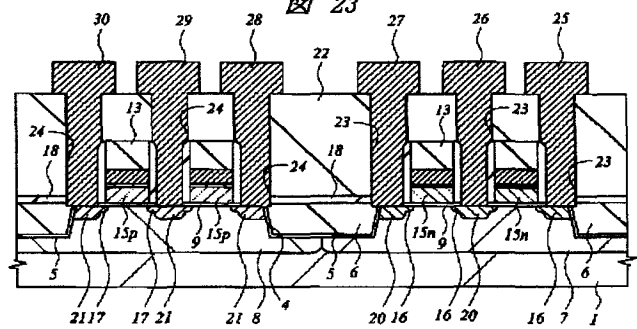
【図 22】

図 22



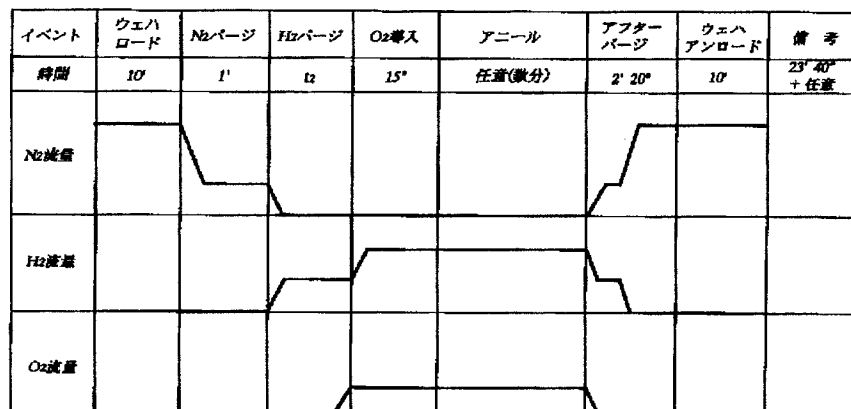
【図 23】

図 23



【図25】

図 25

t₂: N₂が完全にH₂に交換される時間

フロントページの続き

(72)発明者 花岡 裕子
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 14 年 11 月 15 日（2002. 11. 15）

【公開番号】特開平 11-330468
 【公開日】平成 11 年 11 月 30 日（1999. 11. 30）
 【年通号数】公開特許公報 11-3305
 【出願番号】特願平 10-138939
 【国際特許分類第 7 版】

H01L 29/78
 21/316
 21/8234
 27/088

【F I】

H01L 29/78 301 G
 21/316 S
 27/08 102 C

【手続補正書】

【提出日】平成 14 年 8 月 27 日（2002. 8. 27）

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

（a）半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜または酸窒化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜を形成する工程、

（b）前記多結晶シリコン膜上に、直接またはバリア層を介してタングステンを主成分とする高融点金属膜を形成する工程、

（c）前記多結晶シリコン膜および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、

（d）前記工程（c）の後、水素ガスおよび水蒸気を含む混合ガス雰囲気下で、前記高融点金属膜および前記バリア層を実質的に酸化しない条件下において、前記ゲート電極の端部に対応する部分の前記シリコン表面および前記多結晶シリコン膜を熱酸化処理する工程。

【請求項 2】 請求項 1 記載の半導体集積回路装置の製造方法であって、前記バリア層は、窒化タングステン膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 3】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

（a）半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜または酸窒化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜を形成する工程、

（b）前記多結晶シリコン膜上に、バリア層を介して高融点金属膜を形成する工程、

（c）前記多結晶シリコン膜および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、

（d）前記工程（c）の後、水素ガスおよび水蒸気を含む混合ガス雰囲気下で、前記高融点金属膜および前記バリア層を実質的に酸化しない条件下において、前記ゲート電極の端部に対応する部分の前記シリコン表面および前記多結晶シリコン膜を熱酸化処理する工程。

【請求項 4】 以下の工程を含むことを特徴とするデュアルゲート CMOS を有する半導体集積回路装置の製造方法；

（a）半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜を形成する工程、

（b）前記多結晶シリコン膜上に、窒化タングステン膜を含むバリア層を介してタングステンを主成分とする高融点金属膜を形成する工程、

（c）前記多結晶シリコン膜、前記バリア層および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、

（d）前記工程（c）の後、水素ガスおよび水蒸気を含む混合ガス雰囲気下で、前記高融点金属膜および前記バリア層を実質的に酸化しない条件下において、前記ゲート電極の端部に対応する部分の前記シリコン表面および前記多結晶シリコン膜を熱酸化処理する工程。

【請求項5】 以下の工程を含むことを特徴とするデュアルゲートCMOSを有する半導体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜を形成する工程、

(b) 前記多結晶シリコン膜上に、窒化タングステン膜を含むバリア層を介してタングステンを主成分とする高融点金属膜を形成する工程、

(c) 前記多結晶シリコン膜、前記バリア層および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、

(d) 前記工程(c)の後、シリコンおよび多結晶シリコンに対して酸化性および還元性を有する混合ガス雰囲気下で、前記高融点金属膜および前記バリア層を実質的に酸化しないように、前記シリコン表面および前記多結晶シリコン膜を熱酸化処理する工程。

【請求項6】 以下の工程を含むことを特徴とするデュアルゲートCMOSを有する半導体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜を形成する工程、

(b) 前記多結晶シリコン膜上に、窒化タングステン膜を含むバリア層を介してタングステンを主成分とする高融点金属膜を形成する工程、

(c) 前記多結晶シリコン膜、前記バリア層および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、

(d) 前記工程(c)の後、水素ガスおよび水蒸気を含む混合ガス雰囲気下で、前記高融点金属膜を実質的に酸化しないように、前記ゲート電極の端部に対応する部分の前記シリコン表面および前記多結晶シリコン膜を熱酸化処理することによって、前記工程(c)のパターニングの際にエッチングされた前記ゲート電極の端部下の前記酸化シリコン膜を補填する工程。

【請求項7】 以下の工程を含むことを特徴とするデュアルゲートCMOSを有する半導体集積回路装置の製造方法；

(a) 半導体ウエハの主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜を形成する工程、

(b) 前記多結晶シリコン膜上に、窒化タングステン膜を含むバリア層を介してタングステンを主成分とする高融点金属膜を形成する工程、

(c) 前記多結晶シリコン膜、前記バリア層および前記高融点金属膜をパターニングすることによって、ゲート電極を形成する工程、

(d) 前記工程(c)の後、水素ガスおよび酸素ガスと

水素ガスとから触媒により合成された水蒸気を含む混合ガス雰囲気下で、前記高融点金属膜を実質的に酸化しないように、前記ゲート電極の端部に対応する部分の前記シリコン表面および前記多結晶シリコン膜を熱酸化処理することによって、前記工程(c)のパターニングの際にエッチングされた前記ゲート電極の端部下の前記酸化シリコン膜を補填する工程。

【請求項8】 半導体集積回路ウエハの第1の主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜と、前記多結晶シリコン膜上に直接またはバリア層を介して積層された高融点金属膜とで構成されるゲート電極が形成されたデュアルゲートCMOSを有する半導体集積回路装置であって、前記ゲート絶縁膜は、前記ゲート電極の一部を構成する前記多結晶シリコン膜の端部を越えて形成された熱酸化膜を含むことを特徴とする半導体集積回路装置。

【請求項9】 半導体集積回路ウエハの第1の主面のシリコン表面に形成された熱酸化膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜と、前記多結晶シリコン膜上に直接またはバリア層を介して積層された高融点金属膜とで構成されるゲート電極が形成されたデュアルゲートCMOSを有する半導体集積回路装置であって、前記ゲート絶縁膜のうち、前記ゲート電極の端部下に形成された前記熱酸化膜の膜厚は、前記ゲート電極の中央部に形成された前記熱酸化膜の膜厚よりも大きいことを特徴とする半導体集積回路装置。

【請求項10】 半導体集積回路ウエハの第1の主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜と、前記多結晶シリコン膜上に直接またはバリア層を介して積層された高融点金属膜とで構成されるゲート電極が形成されたデュアルゲートCMOSを有する半導体集積回路装置であって、前記ゲート電極の端部下に形成された前記酸化シリコン膜は、電界集中を防止する程度に丸みを帯びた形状を有していることを特徴とする半導体集積回路装置。

【請求項11】 半導体集積回路ウエハの第1の主面のシリコン表面に形成された酸化シリコン膜を含むゲート絶縁膜上に、ホウ素がドーパされた多結晶シリコン膜と、前記多結晶シリコン膜上に直接またはバリア層を介して積層された高融点金属膜とで構成されるゲート電極が形成されたデュアルゲートCMOSを有する半導体集積回路装置であって、前記ゲート電極の一部を構成する前記多結晶シリコン膜の端部および下面は、熱酸化膜で覆われていることを特徴とする半導体集積回路装置。

【請求項12】 請求項11記載の半導体集積回路装置であって、前記ゲート絶縁膜は、酸窒化シリコン膜を含むことを特徴とする半導体集積回路装置。